

#36
7-1-02

Attorney Docket No. 1614.1225

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hiroyuki FUJIYAMA

Application No.:

Group Art Unit:

Filed: March 7, 2002

Examiner:

For: SEMAPHORE MANAGEMENT CIRCUIT

J1050 U.S. PTO
10/092306
03/07/02

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-239513

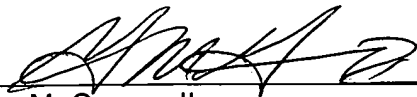
Filed: August 7, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 7, 2002

By: 
Gene M. Garner, II
Registration No. 34,172

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年 8月 7日

出 願 番 号
Application Number:

特願2001-239513

出 願 人
Applicant(s):

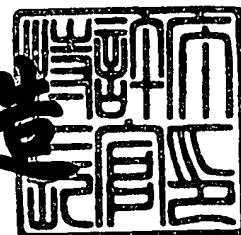
富士通株式会社

J1050 U.S. PTO
10/092306
03/07/02

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0140256

【提出日】 平成13年 8月 7日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 12/00

【発明の名称】 回路、プロセッサ、及びマルチプロセッサシステム

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 藤山 博之

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路、プロセッサ、及びマルチプロセッサシステム

【特許請求の範囲】

【請求項 1】 セマフォアドレスを格納するレジスタと、

該レジスタが格納する該セマフォアドレスに対するプロセッサのリードアクセスに応じて制御信号をアサートすると共に、該レジスタが格納する該セマフォアドレスに対する該プロセッサのライトアクセスに応じて該制御信号をネゲートするセマフォ制御回路

を含むことを特徴とする回路。

【請求項 2】 該プロセッサが出力するアドレスを該レジスタの該セマフォアドレスと比較した結果が一致を示すときに一致判定信号をアサートする比較器を更に含み、該セマフォ制御回路は、

該一致判定信号がアサート状態で且つ該プロセッサが出力するリード／ライト信号がリード動作を示すときに該制御信号をアサート状態に設定する回路と、

該一致判定信号がアサート状態で且つ該プロセッサが出力する該リード／ライト信号がライト動作を示すときに該制御信号をネゲート状態に設定する回路を含むことを特徴とする請求項 1 記載の回路。

【請求項 3】 該制御信号がアサート状態である期間は外部からのバス権要求に対して該プロセッサのバス権を開放しないことを特徴とする請求項 1 記載の回路。

【請求項 4】 該バス権要求を示す信号と、該制御信号と、該プロセッサが出力するチップイネーブル信号とを受け取り、該制御信号がアサート状態の場合には、該チップイネーブル信号の状態に関わらず該バス権要求信号に応じてバス権許可信号をアサートせず、該制御信号がネゲート状態の場合には、該チップイネーブル信号がアサート状態であれば該バス権要求信号に応じてバス権許可信号をアサートせず、該チップイネーブル信号がネゲート状態であれば該バス権要求信号に応じてバス権許可信号をアサートするバス権制御回路を更に含むことを特徴とする請求項 3 記載の回路。

【請求項 5】 プロセッサ本体と、

セマフォアドレスを格納するレジスタと、

該レジスタが格納する該セマフォアドレスに対する該プロセッサ本体のリードアクセスに応じて制御信号をアサートすると共に、該レジスタが格納する該セマフォアドレスに対する該プロセッサ本体のライトアクセスに応じて該制御信号をネゲートする制御回路

を含むことを特徴とするプロセッサ。

【請求項6】該制御回路は、

該プロセッサ本体が出力するアドレスを該レジスタの該セマフォアドレスと比較した結果が一致を示すときに一致判定信号をアサートする比較器と、

該一致判定信号がアサート状態で且つ該プロセッサ本体が出力するリード／ライト信号がリード動作を示すときに該制御信号をアサート状態に設定する回路と

該一致判定信号がアサート状態で且つ該プロセッサ本体が出力する該リード／ライト信号がライト動作を示すときに該制御信号をネゲート状態に設定する回路を含むことを特徴とする請求項5記載のプロセッサ。

【請求項7】該制御信号がアサート状態である期間は外部からのバス権要求に対してバス権を開放しないことを特徴とする請求項5記載のプロセッサ。

【請求項8】複数のプロセッサと、

該複数のプロセッサが共有するメモリと、

該メモリの独占的使用を管理するセマフォレジスタ
を含み、該複数のプロセッサの少なくとも1つは、

プロセッサ本体と、

該セマフォレジスタのアドレスを格納するレジスタと、

該レジスタが格納する該アドレスに対する該プロセッサ本体のリードアクセスに応じて制御信号をアサートすると共に、該レジスタが格納する該アドレスに対する該プロセッサ本体のライトアクセスに応じて該制御信号をネゲートする制御回路

を含むことを特徴とするマルチプロセッサシステム。

【請求項9】該制御回路は、

該プロセッサ本体が出力するアドレスを該レジスタの該アドレスと比較した結果が一致を示すときに一致判定信号をアサートする比較器と、

該一致判定信号がアサート状態で且つ該プロセッサ本体が出力するリード／ライト信号がリード動作を示すときに該制御信号をアサート状態に設定する回路と

該一致判定信号がアサート状態で且つ該プロセッサ本体が出力する該リード／ライト信号がライト動作を示すときに該制御信号をネゲート状態に設定する回路を含むことを特徴とする請求項 8 記載のマルチプロセッサシステム。

【請求項 1 0】該制御信号がアサート状態である期間は、該複数のプロセッサの該少なくとも 1 つは、他のプロセッサからのバス権要求に対してバス権を開放しないことを特徴とする請求項 8 記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、一般にメモリアクセスを制御するための回路、及びその回路を使用したプロセッサ並びにシステムに関し、詳しくは、セマフォを管理するための回路、及びその回路を使用したプロセッサ並びにシステムに関する。

【0 0 0 2】

【従来技術】

複数のプロセッサで構成されたシステムにおいては、共通バス上にあるメモリ等の資源は、複数のプロセッサにより共有される。あるプロセッサがメモリを利用する際、場合によっては、一定期間独占的にメモリを使用して、その間は他のプロセッサがメモリアクセスを出来ないようにする必要がある。これは例えばトランザクションの途中で、他のプロセッサによるメモリアクセスやデータ変更が生じると、システムとして一貫性が保てなくなるためである。そこで、共有資源を独占的に使用するために、セマフォレジスタによる資源管理が一般的に行われる。

【0 0 0 3】

セマフォレジスタによる資源管理においては、メモリを占有したいプロセッサ

は、メモリへのアクセスに先立ちセマフォフラグを参照する。フラグが立っていない場合には、他のプロセッサがメモリを使用していないと判断する。この場合、プロセッサは、フラグを設定することでメモリを占有することを他のプロセッサに対して明示的に示し、その後メモリをアクセスする。フラグが設定されている期間中は、他のプロセッサはメモリをアクセスすることが出来ない。メモリの使用が終了すると、メモリを使用していたプロセッサはセマフォフラグの設定を解除する。

【0004】

【発明が解決しようとする課題】

セマフォレジスタを使用する場合には、厳密なフラグ管理が必要になる。例えば、あるプロセッサがセマフォフラグを参照してフラグが立っていないことを確認し、フラグを立てるフラグ設定動作を実行するとする。この時にフラグ参照からフラグ設定までの間に時間差があると、この時間の間に、他のプロセッサがセマフォフラグを参照してしまう可能性がある。この場合、後からセマフォフラグを参照したプロセッサも、フラグが立っていないために、メモリが使用可能であると判断してしまう。

【0005】

このような状況を避けるために、セマフォフラグの参照及び設定には、通常、read-modify-write又はatomic-LOAD/STOREと呼ばれる方式のアクセスが行なわれる。この方式では、リード動作とライト動作とを不可分の単位即ち1回のバスサイクルで実行する。一回のバスサイクルでリード動作とライト動作を実行してフラグの参照と設定とを行なうため、この方式では厳密なフラグの管理が可能となる。一般に、複数プロセッサシステムでの使用を前提としたプロセッサには、アクセス方式としてatomic-LOAD/STOREの機能が設けられている。

【0006】

複数プロセッサシステムでの使用を特に前提としていない一般のプロセッサには、このようなatomic-LOAD/STOREの機能は設けられていない。従って、このような一般のプロセッサを用いて複数プロセッサシステムを構成するためには、何らかの工夫を施して、atomic-LOAD/STOREの機能と同等の機能を提供する必要が

ある。

【0007】

本発明は、atomic-LOAD/STORE の機能を持たないプロセッサを用いてマルチプロセッサシステムを構築する場合に、atomic-LOAD/STORE の機能と同等の機能を実現する回路を提供することを目的とする。またこの回路を備えたプロセッサ及びマルチプロセッサシステムを提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明による回路は、セマフォアドレスを格納するレジスタと、該レジスタが格納する該セマフォアドレスに対するプロセッサのリードアクセスに応じて制御信号をアサートすると共に、該レジスタが格納する該セマフォアドレスに対する該プロセッサのライトアクセスに応じて該制御信号をネゲートするセマフォ制御回路を含むことを特徴とする。

【0009】

具体的には、本発明による上記回路は、該プロセッサが出力するアドレスを該レジスタの該セマフォアドレスと比較した結果が一致を示すときに一致判定信号をアサートする比較器を更に含み、該セマフォ制御回路は、該一致判定信号がアサート状態で且つ該プロセッサが出力するリード／ライト信号がリード動作を示すときに該制御信号をアサート状態に設定する回路と、該一致判定信号がアサート状態で且つ該プロセッサが出力する該リード／ライト信号がライト動作を示すときに該制御信号をネゲート状態に設定する回路を含む。

【0010】

上記の本発明による回路においては、プロセッサのアドレス信号をセマフォアドレスと比較することで、両者が一致する場合には、セマフォに対する読み出し動作（ロード動作）で制御信号をHIGHに設定し、セマフォに対する書き込み動作（ストア動作）で制御信号の設定を解除してLOWに戻す。この制御信号によって、他のプロセッサに対して、当該プロセッサによるバスアクセスがセマフォ管理用のバスアクセスであることを通知する。他のプロセッサは、制御信号によってセマフォへのアクセス動作が実行中であると判断すると、この期間中はセ

マフォへのアクセスを禁止する。

【 0 0 1 1 】

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【 0 0 1 2 】

図 1 は、本発明によるセマフォ管理回路を示す。

【 0 0 1 3 】

図 1 のセマフォ管理回路は、セマフォ領域レジスタ 1 1、比較器 1 2、セマフォ制御回路 1 3、及びバス権制御回路 1 4 を含む。このセマフォ管理回路は、プロセッサ 2 0 に接続される。

【 0 0 1 4 】

セマフォ領域レジスタ 1 1 は、メモリ空間上でのセマフォレジスタのアドレスを格納する。セマフォレジスタとしては、メモリデバイス内部の記憶領域の一部をレジスタとして使用する場合もあれば、メモリコントローラ等の内部にレジスタ論理回路が設けられる場合もあるが、何れの場合であってもセマフォレジスタにはそれをアクセスするためのアドレスがメモリ空間上に割り当てられている。セマフォ領域レジスタ 1 1 は、このアドレスを参照用に格納しておくものである。

【 0 0 1 5 】

比較器 1 2 は、セマフォ領域レジスタ 1 1 に格納されるアドレスと、プロセッサ 2 0 が出力するアドレスとを比較する。比較結果が一致である場合には、一致判定を示す信号をセマフォ制御回路 1 3 に供給する。プロセッサ 2 0 は、メモリアクセスをする際或いはセマフォレジスタをアクセスする際などに、アクセス先のアドレスを出力する。比較器 1 2 は、このアドレスとセマフォレジスタのアドレスとを比較することで、アクセス対象がセマフォレジスタであるか否かを判定するものである。

【 0 0 1 6 】

セマフォ制御回路 1 3 は、比較器 1 2 から一致判定信号を受け取ると共に、プロセッサ 2 0 からリード／ライト信号 R D / W D 及びチップセレクト信号 C S を

受け取る。チップセレクト信号CSがアサートで且つ一致判定信号がアサートである場合に、リード／ライト信号RD／WDが読み出し動作を示すと、セマフォ制御回路13はロック信号LOCKをHIGHに設定する。またチップセレクト信号CSがアサートで且つ一致判定信号がアサートである場合に、リード／ライト信号RD／WDが書き込み動作を示せば、セマフォ制御回路13はロック信号LOCKの設定を解除してLOWに戻す。このロック信号LOCKによって、当該プロセッサは、バスアクセスがセマフォ管理のためのアクセスであることを他のプロセッサに対して通知する。即ち、ロック信号LOCKを参照することで、他のプロセッサは、セマフォレジスタへのアクセス動作が実行中であるか否かを判断することが出来る。

【0017】

ロック信号LOCKがHIGHである間は、他のプロセッサはセマフォレジスタがアクセスされている最中であると判断して、セマフォレジスタの参照及び設定動作を行わない。

【0018】

バス権制御回路14は、セマフォ管理と共にバスアービトレーションを実現するためのものである。バス上にあるメモリや周辺機器等のリソースを共有するシステムにおいては、バスを排他的に使用する必要があるために、複数のプロセッサがバスの使用权を要求した場合に、1つのプロセッサだけにバス使用权を与える必要がある。バスアービトレーションは、このために実行される制御である。各プロセッサは、バスをアクセスしたい時には、まずバス権要求信号BREQを送信する。バスアクセス権を他のプロセッサに与えてよいプロセッサは、バス権要求信号BREQに応答して、バス権許可信号BACKをアサートする。

【0019】

セマフォ管理のためのアクセスは、バスを介して行われるので、セマフォ管理のためのアクセス動作中に、バス権を他のプロセッサに与えることは出来ない。従って、図1の本発明の構成においては、ロック信号LOCKがHIGHの場合には、バス権要求信号BREQを受信した際に、バス権制御回路14はバス権許可信号BACKをアサートしないように構成されている。具体的には、バス権制

御回路 1 4 は、ロック信号 LOCK が LOW の場合には、バス権要求信号 BREQ を受け取ると、チップセレクト信号 CS がネゲートであればバス権許可信号 BACK をアサートする。チップセレクト信号 CS がアサートであれば、メモリアクセス中であるので、バス権許可信号 BACK をアサートしない。またロック信号 LOCK が HIGH の場合には、バス権要求信号 BREQ を受け取ると、チップセレクト信号 CS に関わらずバス権許可信号 BACK をアサートしない。

【 0 0 2 0 】

以上のようにして、本発明によるセマフォ管理回路においては、プロセッサのアドレス信号をセマフォアドレスと比較することで、両者が一致する場合には、セマフォに対する読み出し動作（ロード動作）でロック信号 LOCK を HIGH に設定し、セマフォに対する書き込み動作（ストア動作）でロック信号 LOCK の設定を解除して LOW に戻す。このロック信号 LOCK によって、他のプロセッサに対して、当該プロセッサによるバスアクセスがセマフォ管理用のバスアクセスであることを通知する。他のプロセッサは、ロック信号 LOCK によってセマフォへのアクセス動作が実行中であると判断すると、この期間中はセマフォへのアクセスを禁止する。

【 0 0 2 1 】

図 2 は、セマフォ制御回路 1 3 の回路構成を示す図である。

【 0 0 2 2 】

図 2 のセマフォ制御回路 1 3 は、AND 回路 3 1 及び 3 2 と、フリップフロップ 3 3 とを含む。AND 回路 3 1 は、チップセレクト信号 CS と、リード／ライト信号 RD／WD と、一致判定信号とを受け取り、全ての信号が HIGH であるときに HIGH を出力する。この AND 回路 3 1 の HIGH 出力によって、フリップフロップ 3 3 がセットされて、その出力であるロック信号 LOCK が HIGH に設定される。AND 回路 3 2 は、チップセレクト信号 CS と、リード／ライト信号 RD／WD の負論理信号と、一致判定信号とを受け取り、全ての信号が HIGH であるときに HIGH を出力する。この AND 回路 3 2 の HIGH 出力によって、フリップフロップ 3 3 がリセットされて、その出力であるロック信号 LOCK の HIGH 設定が解除されて LOW に戻る。

【0023】

図3は、セマフォ制御回路13の動作とセマフォ管理動作とを示すタイミング図である。

【0024】

(a)にはロック信号LOCK、(b)にはリード/ライト信号RD/WD、(c)にはチップセレクト信号CS、(d)には各バスサイクルでの動作を示す。図3(b)乃至(d)に示されるように、メモリからの読み出し命令LOADを実行する場合には、チップセレクト信号CSがHIGHとなり、リード/ライト信号RD/WDはHIGHとされる。またメモリへの書き込み命令STOREを実行する場合には、チップセレクト信号CSがHIGHとなり、リード/ライト信号RD/WDはLOWとされる。

【0025】

図3(a)乃至(d)に示されるように、セマフォレジスタからの読み出し命令atomicLOADを実行する場合には、チップセレクト信号CSがHIGHとなり、リード/ライト信号RD/WDはHIGHとされる。またこの時、セマフォ制御回路13の出力であるロック信号LOCKは、HIGHに設定される。ロック信号LOCKは、読み出し命令atomicLOADが終了してもHIGHに留まる。次に、セマフォレジスタへの書き込み命令atomicSTOREを実行する。この場合には、チップセレクト信号CSがHIGHとなり、リード/ライト信号RD/WDはLOWとされる。この書き込み命令atomicSTOREを実行することによって、セマフォ制御回路13の出力であるロック信号LOCKは、HIGH設定が解除されてLOWに戻る。以上の動作によって、セマフォフラグが設定されて、セマフォフラグ設定が解除されるまで、他のプロセッサからメモリへのアクセスは禁止される。

【0026】

図4は、バス権制御回路14の回路構成を示す回路図である。

【0027】

図4のバス権制御回路14は、AND回路41を含む。AND回路41は、バス権要求信号BREQを他のプロセッサから受け取ると共に、セマフォ制御回路

13からのロック信号LOCKの負論理信号と、プロセッサ20からのチップセレクト信号CSの負論理信号とを受け取る。ここでバス権要求信号BREQは、複数のプロセッサが送信するバス権要求信号BREQのORを取って各プロセッサに供給するものである。従って、例えば図4の構成においてバス権要求信号BREQがアサートされると、これは、システム上の何れかのプロセッサがバスアクセス権を要求していることを示す。

【0028】

セマフォ制御回路13からのロック信号LOCKの負論理信号とプロセッサ20からのチップセレクト信号CSの負論理信号とが双方共にHIGHの場合、バス権要求信号BREQがアサートされると、AND回路41はバス権許可信号BACKをアサートする。即ち、セマフォ管理のためのセマフォレジスタアクセスの最中ではなく、且つメモリアccessの最中でもない場合には、バス権要求に応じてバス権を許可する。それに対して、セマフォ管理のためのセマフォレジスタアクセス中であるか、或いはメモリアccess中である場合には、バス権要求が到来してもバス権を許可しない。

【0029】

図5は、バス権制御回路14の動作とセマフォ管理動作とを示すタイミング図である。

【0030】

(a)にはチップセレクト信号CS、(b)にはバス権要求信号BREQ、(c)にはロック信号LOCK、(d)にはバス権許可信号BACK、及び(e)には各バスサイクルでの動作を示す。ここで(b)のバス権要求信号BREQは、他のプロセッサから供給される信号である。

【0031】

図5(a)及び(e)に示されるように、メモリからの読み出し命令LOADを実行する場合には、チップセレクト信号CSがHIGHとなる。図5(b)及び(d)に示されるように、このとき他のプロセッサによってバス権要求信号BREQがアサートされても、メモリからの読み出し命令実行中でチップセレクト信号CSがHIGHであるので、バス権許可信号BACKはアサートされない。

【0032】

図5 (a)、(c)、及び(e)に示されるように、セマフォレジスタからの読み出し命令atomicLOADを実行する場合には、チップセレクト信号CSがHIGHになると共に、ロック信号LOCKがHIGHに設定される。ロック信号LOCKは、読み出し命令atomicLOADが終了してもHIGHに留まる。図5 (b) 及び (d) に示されるように、このとき他のプロセッサによってバス権要求信号BREQがアサートされても、セマフォアクセス中でロック信号LOCKがHIGHであるので、バス権許可信号BACKはアサートされない。その後、セマフォレジスタへの書き込み命令atomicSTOREを実行する。書き込み命令atomicSTOREを実行することによって、ロック信号LOCKは、HIGH設定が解除されてLOWに戻る。この時、図5 (b) 及び (d) に示されるように、バス権要求信号BREQはアサートされたままの状態であるので、ロック信号LOCKがLOWに戻ると、バス権許可信号BACKがアサートされる。

【0033】

以上の動作によって、本発明によるセマフォ管理回路は、セマフォ管理のためにセマフォレジスタをアクセスしている最中には、バス権が要求されてもバス権を許可することなく、セマフォレジスタへのアクセスが終了した後に、バス権を許可する。他のプロセッサはバス権を受け取ると、例えば周辺機器などのリソースを利用するためにバスを利用することが出来る。

【0034】

図6は、本発明によるセマフォ管理回路を適用したマルチプロセッサシステムの構成例を示す図である。

【0035】

図6に示されるマルチプロセッサシステムは、プロセッサ51、本発明によるセマフォ管理回路52、プロセッサ53、メモリ54、メモリ制御回路55、周辺回路57、及びバス58を含む。セマフォ管理回路52はプロセッサ51に付加されており、この組み合わせで1つのプロセッサ60として供給されてもよい。この場合、プロセッサ51自体は特にマルチプロセッサシステムでの使用を前提としていない汎用のプロセッサの設計に基づくものでよく、これに本発明によ

るセマフォ管理回路 52 を付加することで、atomic-LOAD/STORE の機能と同等の機能を実行可能なプロセッサ 60 として使用することが出来る。

【0036】

プロセッサ 53 は、例えばatomic-LOAD/STORE の機能を備えたマルチプロセッサシステム用のプロセッサであるとする。メモリ制御回路 55 には、セマフォフラグ 56 が設けられる。プロセッサ 60 及びプロセッサ 53 は、このセマフォフラグ 56 を制御することで、互いに排他的にメモリ 54 の独占的使用権を得ることが出来る。またプロセッサ 53 は、バス 58 を介して周辺回路 57 に接続される。

【0037】

プロセッサ 60 がメモリ 54 を独占的に使用することが必要である場合、セマフォフラグ 56 をまず参照する。この時に、セマフォ管理回路 52 はロック信号 LOCK を HIGH に設定して、バスアクセスがセマフォ管理のためのアクセスであることを他のプロセッサ（この場合はプロセッサ 53）に通知する。このロック信号 LOCK が HIGH である期間中は、プロセッサ 53 は、セマフォフラグ 56 へのアクセスを行わない。セマフォフラグ 56 を参照してフラグ設定されていないことを検出すると、プロセッサ 60 は、セマフォフラグ 56 を設定するための STORE 動作を実行する。この STORE 動作が終了すると、ロック信号 LOCK は LOW に戻される。この後、プロセッサ 53 がセマフォフラグ 56 を参照しにいくと、フラグが設定されているので、メモリ 54 が独占的に使用中であることを認識して、セマフォフラグが開放されるまでメモリアccessを延期する。但しこの場合であっても、バス 58 が使用されていない状態であれば、プロセッサ 53 はバス権を獲得して、例えば周辺回路 57 にアクセスすることが可能である。

【0038】

このようにして、本発明のセマフォ管理回路 52 を使用したマルチプロセッサシステムでは、atomic-LOAD/STORE の機能を有さない通常のプロセッサ 51 を使用しながらも、厳密なセマフォ管理を実現することが可能となる。これにより、通常のプロセッサ 51 を使用して、マルチプロセッサシステムを容易に構成する

ことが出来る。

【0039】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【0040】

【発明の効果】

本発明によるセマフォ管理回路においては、プロセッサのアドレス信号をセマフォアドレスと比較することで、両者が一致する場合には、セマフォに対する読み出し動作（ロード動作）で制御信号をHIGHに設定し、セマフォに対する書き込み動作（ストア動作）で制御信号の設定を解除してLOWに戻す。この制御信号によって、他のプロセッサに対して、当該プロセッサによるバスアクセスがセマフォ管理用のバスアクセスであることを通知する。他のプロセッサは、制御信号によってセマフォへのアクセス動作が実行中であると判断すると、この期間中はセマフォへのアクセスを禁止する。

【0041】

これにより本発明のセマフォ管理回路を使用したマルチプロセッサシステムでは、atomic-LOAD/STORE の機能を有さない通常のプロセッサを使用しながらも、厳密なセマフォ管理を実現することが可能となり、マルチプロセッサシステムを容易に構成することが出来る。

【図面の簡単な説明】

【図1】

本発明によるセマフォ管理回路を示す図である。

【図2】

セマフォ制御回路の回路構成を示す図である。

【図3】

セマフォ制御回路の動作とセマフォ管理動作とを示すタイミング図である。

【図4】

バス権制御回路の回路構成を示す回路図である。

【図5】

バス権制御回路の動作とセマフォ管理動作とを示すタイミング図である。

【図 6】

本発明によるセマフォ管理回路を適用したマルチプロセッサシステムの構成例を示す図である。

【符号の説明】

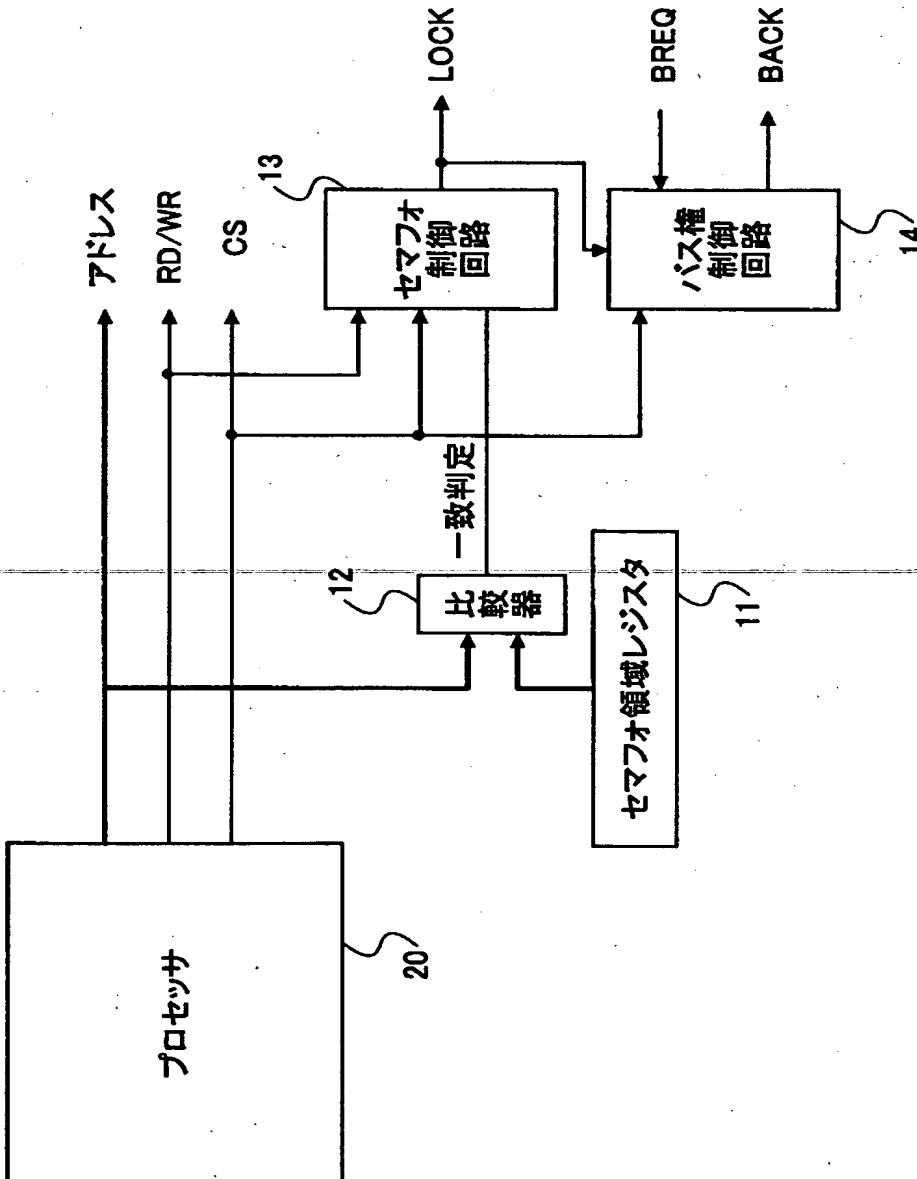
- 1 1 セマフォ領域レジスタ
- 1 2 比較器
- 1 3 セマフォ制御回路
- 1 4 バス権制御回路
- 2 0 セマフォ管理回路

【書類名】

図面

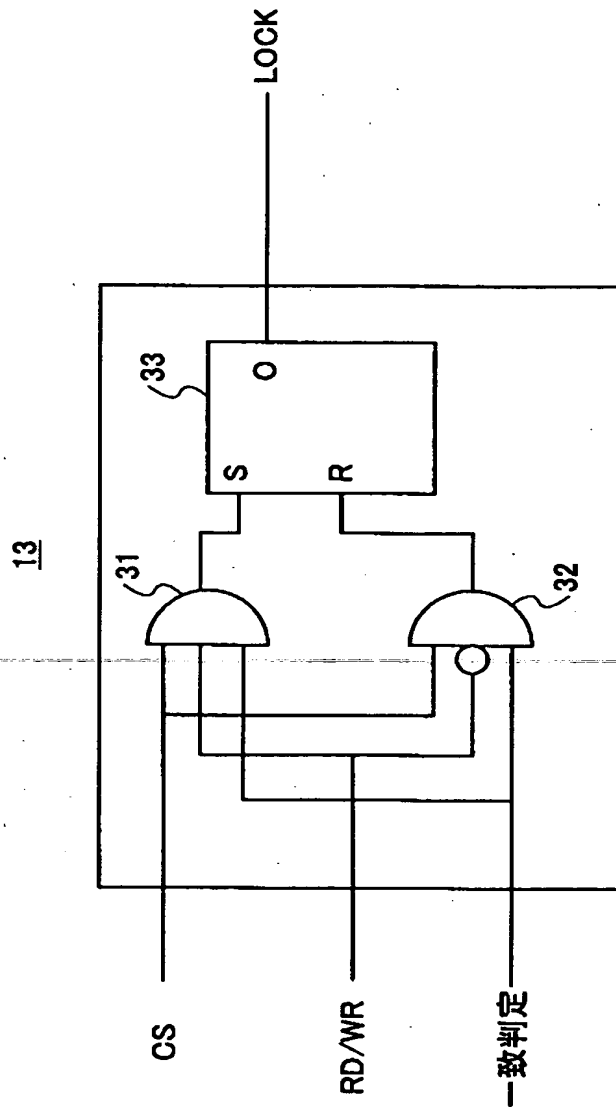
【図 1】

本発明によるセマフォ管理回路を示す図



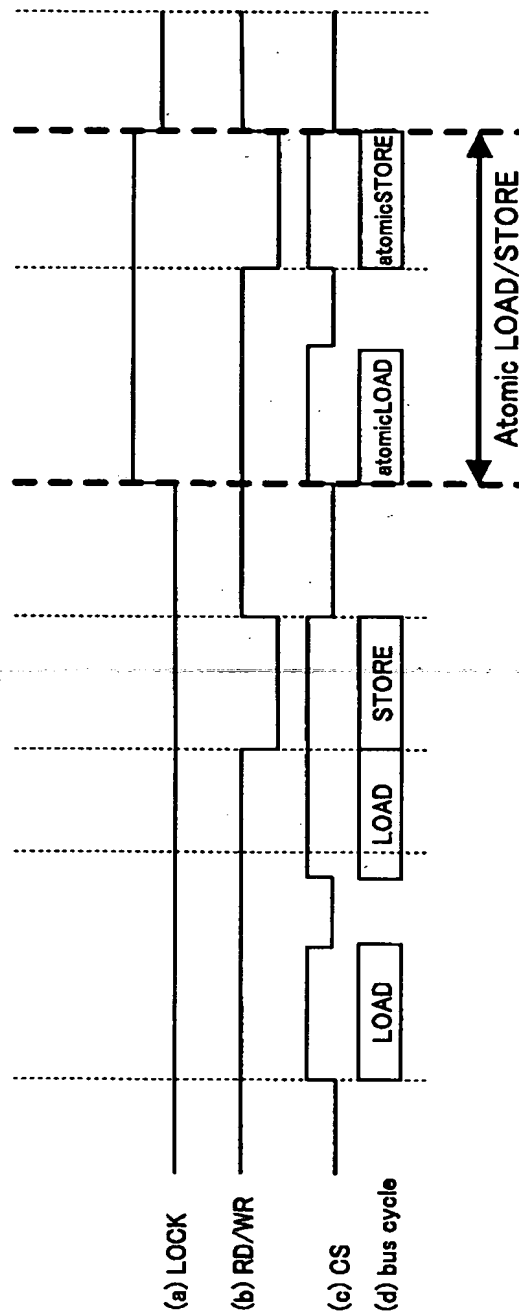
【図 2】

セマフォ制御回路の回路構成を示す図



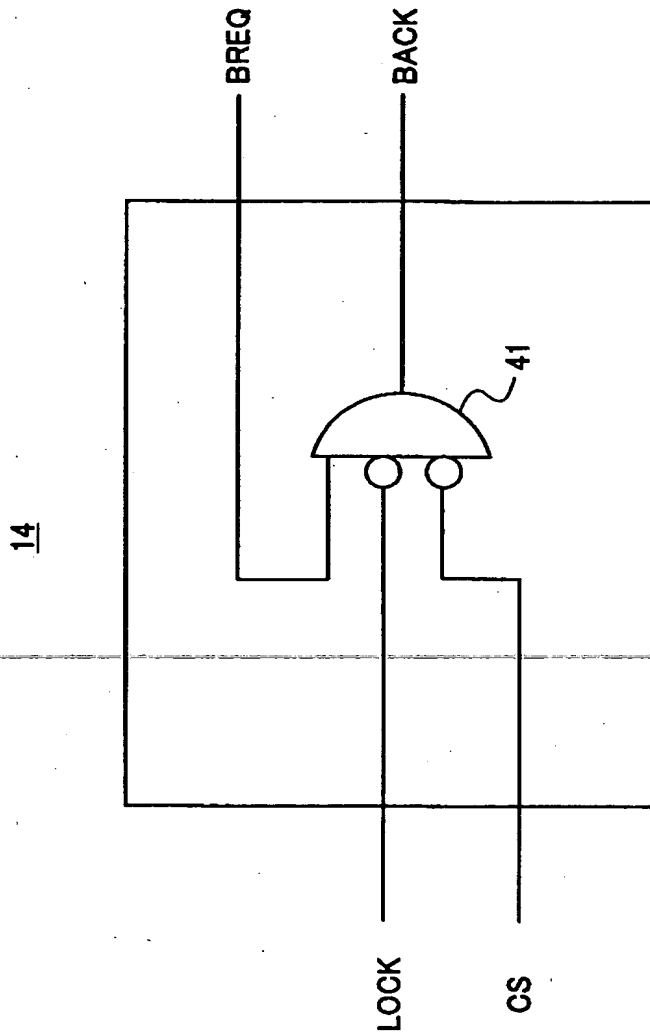
【図 3】

セマフォ制御回路の動作とセマフォ管理動作とを示すタイミング図



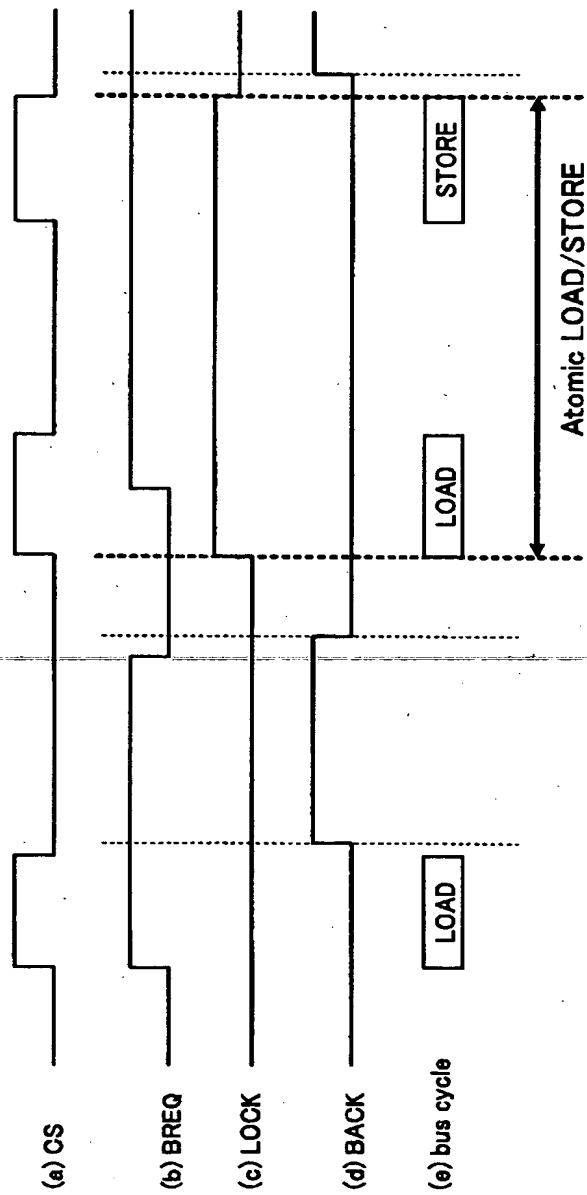
【図 4】

バス権制御回路の回路構成を示す回路図



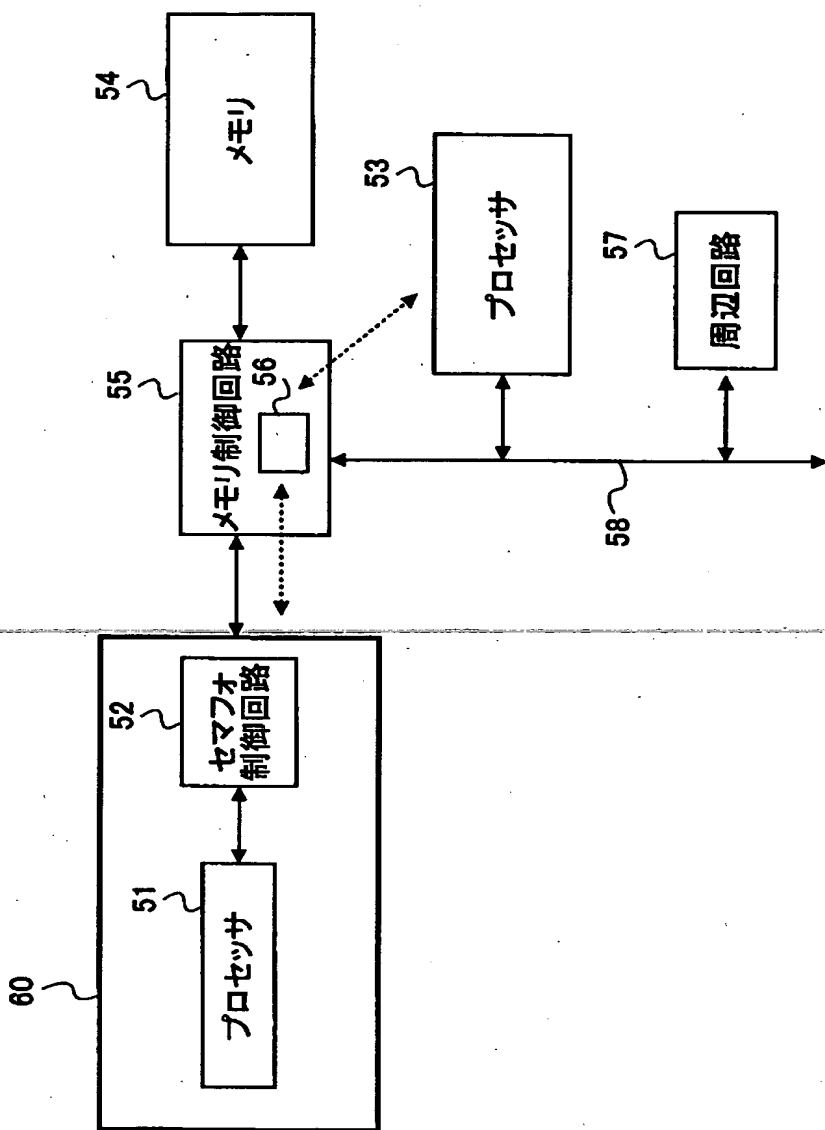
【図 5】

バス権制御回路の動作とセマフォ管理動作とを示すタイミング図



【図 6】

本発明によるセマフォ管理回路を適用した
マルチプロセッサシステムの構成例を示す図



【書類名】 要約書

【要約】

【課題】 本発明は、atomic-LOAD/STORE の機能を持たないプロセッサを用いてマルチプロセッサシステムを構築する場合に、atomic-LOAD/STORE の機能と同等の機能を実現する回路を提供することを目的とする。

【解決手段】 セマフォアドレスを格納するレジスタと、該レジスタが格納する該セマフォアドレスに対するプロセッサのリードアクセスに応じて制御信号をアサートすると共に、該レジスタが格納する該セマフォアドレスに対する該プロセッサのライトアクセスに応じて該制御信号をネゲートするセマフォ制御回路を含む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED TEXT OR DRAWING~~
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.